

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representation of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## **IMAGES ARE BEST AVAILABLE COPY**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10150105 A**(43) Date of publication of application: **02 . 06 . 98**

(51) Int. Cl.

**H01L 21/768**  
**H01L 21/3065**  
**H01L 21/312**

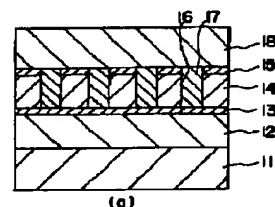
(21) Application number: **09114656**(22) Date of filing: **02 . 05 . 97**(30) Priority: **17 . 09 . 96 JP 08244375**(71) Applicant: **SONY CORP**(72) Inventor: **HASEGAWA TOSHIKI  
FUKAZAWA MASANAGA**(54) **SEMICONDUCTOR DEVICE AND ITS  
MANUFACTURE**

## (57) Abstract:

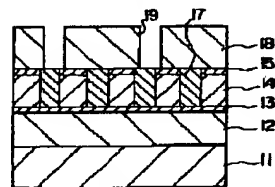
**PROBLEM TO BE SOLVED:** To accomplish the low dielectric constant of an interlayer insulating film where a buried wiring is formed.

**SOLUTION:** A polyarylether organic low dielectric constant film, for example, having the dielectric constant lower than silicon oxide is used for the films 13 and 15, which become the etching stopper layers when a groove 16 and a connection hole 19 are formed, instead of using the conventional silicon nitride. Films 12, 14 and 18 can be formed by the copolymer of an annular fluorine compound and siloxane, for example, having the relative dielectric constant lower than the silicon oxide, can be used in place of the silicon oxide. In this case, the organic low dielectric constant films 13 and 15, which actually do not contain fluorine, function as the etching stopper layer of the organic low dielectric constant films 14 and 18 containing a relatively large quantity of fluorine.

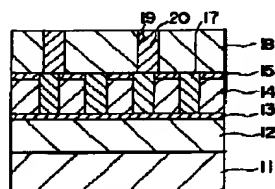
COPYRIGHT: (C)1998,JPO



(a)



(b)



(c)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-150105

(43)公開日 平成10年(1998) 6月2日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/768  
21/3065  
21/312

H 0 1 L 21/90  
21/312  
21/302

A  
M  
J

審査請求 未請求 請求項の数70 O L (全 18 頁)

(21)出願番号 特願平9-114656

(22)出願日 平成9年(1997) 5月2日

(31)優先権主張番号 特願平8-244375

(32)優先日 平8(1996) 9月17日

(33)優先権主張国 日本 (J P)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 長谷川 利昭

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 深沢 正永

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

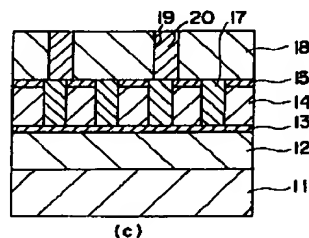
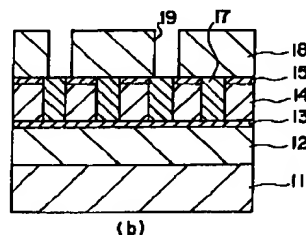
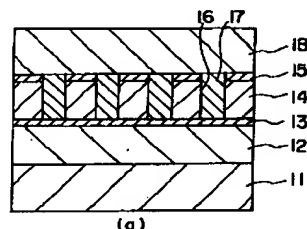
(74)代理人 弁理士 逢坂 宏

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】埋め込み配線が形成される層間絶縁膜の低誘電率化を達成する。

【解決手段】溝16形成時及び接続孔19形成時のエッチングストッパー層となる膜13、15に、従来の窒化シリコンに代えて、酸化シリコンよりも比誘電率が低い、例えば、ポリアリアルエーテルからなる有機低誘電率膜を用いる。膜12、14、18は、酸化シリコンに代えて、酸化シリコンよりも比誘電率が低い、例えば、環状フッ素化合物とシロキサンとの共重合体で構成することができる。その場合、実質的にフッ素を含有しない有機低誘電率膜13、15は、フッ素を比較的多く含有した有機低誘電率膜14、18のエッチングストッパー層として機能する。



## 【特許請求の範囲】

【請求項 1】 第 1 の絶縁層と、  
前記第 1 の絶縁層の下に設けられ、窒化シリコンよりも比誘電率が低く且つ前記第 1 の絶縁層のエッチング時にエッチング耐性を有する有機低誘電率材料からなる第 2 の絶縁層と、を備えた、半導体装置。

【請求項 2】 前記第 1 の絶縁層が、主として酸化シリコンで構成されている、請求項 1 に記載の半導体装置。

【請求項 3】 前記有機低誘電率材料が、酸化シリコンよりも比誘電率が低い材料で構成されている、請求項 2 10 に記載の半導体装置。

【請求項 4】 前記有機低誘電率材料が、ポリアリアルエーテル、ポリー p-キシレン、ポリイミド及びポリナフタレンからなる群より選ばれた少なくとも 1 種で構成されている、請求項 3 に記載の半導体装置。

【請求項 5】 前記第 1 の絶縁層に前記第 2 の絶縁層に達する溝が形成され、その溝の内部に配線層が埋め込まれている、請求項 1 に記載の半導体装置。

【請求項 6】 前記第 1 の絶縁層の上に第 3 の絶縁層が形成され、前記第 1 及び第 3 の絶縁層を貫通して前記溝が形成され、前記第 3 の絶縁層及び前記配線層の上に第 4 の絶縁層が形成され、前記第 3 の絶縁層が、窒化シリコンよりも比誘電率が低く且つ前記第 4 の絶縁層のエッチング時にエッチング耐性を有する第 2 の有機低誘電率材料からなっている、請求項 5 に記載の半導体装置。

【請求項 7】 前記第 4 の絶縁層が、主として酸化シリコンで構成されている、請求項 6 に記載の半導体装置。

【請求項 8】 前記第 2 の有機低誘電率材料が、酸化シリコンよりも比誘電率が低い材料で構成されている、請求項 7 に記載の半導体装置。

【請求項 9】 前記第 2 の有機低誘電率材料が、ポリアリアルエーテル、ポリー p-キシレン、ポリイミド及びポリナフタレンからなる群より選ばれた少なくとも 1 種で構成されている、請求項 8 に記載の半導体装置。

【請求項 10】 前記第 4 の絶縁層に前記配線層に達する接続孔が設けられ、その接続孔が導電材料により埋め込まれている、請求項 6 に記載の半導体装置。

【請求項 11】 前記第 3 の絶縁層及び前記配線層の上に第 5 の絶縁層が形成され、その第 5 の絶縁層の上に第 6 の絶縁層が形成され、前記第 5 の絶縁層が、窒化シリコンよりも比誘電率が低く且つ前記第 6 の絶縁層のエッチング時にエッチング耐性を有する第 3 の有機低誘電率材料からなり、且つ、前記第 3 の絶縁層が、前記第 5 の絶縁層のエッチング時にエッチング耐性を有する材料からなる、請求項 5 に記載の半導体装置。

【請求項 12】 前記第 3 及び第 6 の絶縁層が、いずれも、主として酸化シリコンで構成されている、請求項 11 に記載の半導体装置。

【請求項 13】 前記第 3 の有機低誘電率材料が、酸化シリコンよりも比誘電率が低い材料で構成されている、 50

請求項 12 に記載の半導体装置。

【請求項 14】 前記第 3 の有機低誘電率材料が、ポリアリアルエーテル、ポリー p-キシレン、ポリイミド及びポリナフタレンからなる群より選ばれた少なくとも 1 種で構成されている、請求項 13 に記載の半導体装置。

【請求項 15】 前記第 5 及び第 6 の絶縁層に前記配線層に達する接続孔が設けられ、その接続孔が導電材料により埋め込まれている、請求項 11 に記載の半導体装置。

【請求項 16】 前記第 1 の絶縁層の上に、酸化シリコンよりも比誘電率が低い第 4 の有機低誘電率材料からなる第 7 の絶縁層が設けられている、請求項 2 に記載の半導体装置。

【請求項 17】 前記第 4 の有機低誘電率材料が、環状フッ素化合物とシロキサンの共重合体、ポリペンタフルオロスチレン、変性ポリテトラフルオロエチレン、ポリー 1, 4-フルオロメチルベンゼン、フッ化ポリアリアルエーテル、フッ化ポリイミド、ポリフッ化ナフタレン、ポリー 2, 3, 5, 6-テトラフルオロ p-キシレン及びパークロロシクロアルキル系ポリマーからなる群より選ばれた少なくとも 1 種で構成されている、請求項 16 に記載の半導体装置。

【請求項 18】 前記第 7 の絶縁層の上に、主として酸化シリコンで構成された第 8 の絶縁層が設けられている、請求項 16 に記載の半導体装置。

【請求項 19】 前記第 1 及び第 8 の絶縁層の厚みが、前記第 7 の絶縁層の厚みよりも小さい、請求項 18 に記載の半導体装置。

【請求項 20】 前記第 1、第 7 及び第 8 の絶縁層に前記第 2 の絶縁層に達する溝が形成され、その溝の内部に配線層が埋め込まれている、請求項 19 に記載の半導体装置。

【請求項 21】 複数の前記溝が、少なくとも所定箇所と並行して設けられている、請求項 20 に記載の半導体装置。

【請求項 22】 前記第 2 の絶縁層を構成する前記有機低誘電率材料が、酸化シリコンよりも比誘電率が低い材料で構成されている、請求項 20 に記載の半導体装置。

【請求項 23】 前記第 2 の絶縁層を構成する前記有機低誘電率材料が、ポリアリアルエーテル、ポリー p-キシレン、ポリイミド及びポリナフタレンからなる群より選ばれた少なくとも 1 種で構成されている、請求項 22 に記載の半導体装置。

【請求項 24】 前記第 2 の絶縁層の下に、主として酸化シリコンで構成された第 9 の絶縁層が設けられている、請求項 22 に記載の半導体装置。

【請求項 25】 前記第 9 の絶縁層の下に、酸化シリコンよりも比誘電率が低い第 5 の有機低誘電率材料からなる第 10 の絶縁層が設けられている、請求項 24 に記載の半導体装置。

【請求項 2 6】 前記第 5 の有機低誘電率材料が、環状フッ素化合物とシロキサンの共重合体、ポリペンタフルオロスチレン、変性ポリテトラフルオロエチレン、ポリ-1, 4-フルオロメチルベンゼン、フッ化ポリアリアルエーテル、フッ化ポリイミド、ポリフッ化ナフタレン、ポリ-2, 3, 5, 6-テトラフルオロ-p-キシレン及びパークロロシクロアルキル系ポリマーからなる群より選ばれた少なくとも 1 種で構成されている、請求項 2 5 に記載の半導体装置。

【請求項 2 7】 前記第 1 0 の絶縁層の下に、主として酸化シリコンで構成された第 1 1 の絶縁層が設けられている、請求項 2 5 に記載の半導体装置。

【請求項 2 8】 前記第 9 及び第 1 1 の絶縁層の厚みが、前記第 1 0 の絶縁層の厚みよりも小さい、請求項 2 7 に記載の半導体装置。

【請求項 2 9】 酸化シリコンよりも比誘電率が低い第 1 の有機低誘電率材料からなる第 1 の絶縁層と、前記第 1 の絶縁層の下に設けられ、酸化シリコンよりも比誘電率が低く且つ前記第 1 の絶縁層のエッチング時にエッチング耐性を有する第 2 の有機低誘電率材料からなる第 2 の絶縁層と、を備えた、半導体装置。

【請求項 3 0】 前記第 1 の有機低誘電率材料が原子比で 1 % 以上のフッ素を含有しており、前記第 2 の有機低誘電率材料が原子比で 1 % 未満しかフッ素を含有していない、請求項 2 9 に記載の半導体装置。

【請求項 3 1】 前記第 1 の有機低誘電率材料が、環状フッ素化合物とシロキサンの共重合体、ポリペンタフルオロスチレン、変性ポリテトラフルオロエチレン、ポリ-1, 4-フルオロメチルベンゼン、フッ化ポリアリアルエーテル、フッ化ポリイミド、ポリフッ化ナフタレン、ポリ-2, 3, 5, 6-テトラフルオロ-p-キシレン及びパークロロシクロアルキル系ポリマーからなる群より選ばれた少なくとも 1 種で構成されている、請求項 3 0 に記載の半導体装置。

【請求項 3 2】 前記第 2 の有機低誘電率材料が、ポリアリアルエーテル、ポリ-p-キシレン、ポリイミド及びポリナフタレンからなる群より選ばれた少なくとも 1 種で構成されている、請求項 3 0 に記載の半導体装置。

【請求項 3 3】 前記第 1 の絶縁層の厚みが前記第 2 の絶縁層の厚みより大きい、請求項 3 0 に記載の半導体装置。

【請求項 3 4】 前記第 1 の絶縁層に前記第 2 の絶縁層に達する溝が形成され、その溝の内部に配線層が埋め込まれている、請求項 2 9 に記載の半導体装置。

【請求項 3 5】 複数の前記溝が、少なくとも所定箇所まで並行して設けられている、請求項 3 4 に記載の半導体装置。

【請求項 3 6】 前記第 2 の絶縁層の下に、酸化シリコンよりも比誘電率が低い第 3 の有機低誘電率材料からなる第 3 の絶縁層を更に有する、請求項 3 4 に記載の半導

体装置。

【請求項 3 7】 前記第 3 の有機低誘電率材料が、環状フッ素化合物とシロキサンの共重合体、ポリペンタフルオロスチレン、変性ポリテトラフルオロエチレン、ポリ-1, 4-フルオロメチルベンゼン、フッ化ポリアリアルエーテル、フッ化ポリイミド、ポリフッ化ナフタレン、ポリ-2, 3, 5, 6-テトラフルオロ-p-キシレン及びパークロロシクロアルキル系ポリマーからなる群より選ばれた少なくとも 1 種で構成されている、請求項 3 6 に記載の半導体装置。

【請求項 3 8】 前記第 1 の絶縁層の上に第 4 の絶縁層が形成され、前記第 1 及び第 4 の絶縁層を貫通して前記溝が形成され、前記第 4 の絶縁層及び前記配線層の上に第 5 の絶縁層が形成され、前記第 4 の絶縁層が、酸化シリコンよりも比誘電率が低く且つ前記第 5 の絶縁層のエッチング時にエッチング耐性を有する第 4 の有機低誘電率材料からなっている、請求項 3 4 に記載の半導体装置。

【請求項 3 9】 前記第 5 の絶縁層が、主として酸化シリコンで構成されている、請求項 3 8 に記載の半導体装置。

【請求項 4 0】 前記第 4 の有機低誘電率材料が、ポリアリアルエーテル、ポリ-p-キシレン、ポリイミド及びポリナフタレンからなる群より選ばれた少なくとも 1 種で構成されている、請求項 3 9 に記載の半導体装置。

【請求項 4 1】 前記第 5 の絶縁層が、酸化シリコンよりも比誘電率が低い第 5 の有機低誘電率材料からなる、請求項 3 8 に記載の半導体装置。

【請求項 4 2】 前記第 4 の有機低誘電率層が原子比で 1 % 未満しかフッ素を含有しておらず、前記第 5 の有機低誘電率層が原子比で 1 % 以上のフッ素を含有している、請求項 4 1 に記載の半導体装置。

【請求項 4 3】 前記第 4 の有機低誘電率材料が、ポリアリアルエーテル、ポリ-p-キシレン、ポリイミド及びポリナフタレンからなる群より選ばれた少なくとも 1 種で構成されている、請求項 4 2 に記載の半導体装置。

【請求項 4 4】 前記第 5 の有機低誘電率材料が、環状フッ素化合物とシロキサンの共重合体、ポリペンタフルオロスチレン、変性ポリテトラフルオロエチレン、ポリ-1, 4-フルオロメチルベンゼン、フッ化ポリアリアルエーテル、フッ化ポリイミド、ポリフッ化ナフタレン、ポリ-2, 3, 5, 6-テトラフルオロ-p-キシレン及びパークロロシクロアルキル系ポリマーからなる群より選ばれた少なくとも 1 種で構成されている、請求項 4 2 に記載の半導体装置。

【請求項 4 5】 前記第 5 の絶縁層の厚みが前記第 4 の絶縁層の厚みより大きい、請求項 4 2 に記載の半導体装置。

【請求項 4 6】 前記第 5 の絶縁層に前記配線層に達する接続孔が設けられ、その接続孔が導電材料により埋め

10

20

30

40

50

込まれている、請求項 38 に記載の半導体装置。

【請求項 47】 下地層の上に、窒化シリコンよりも比誘電率が低い第 1 の有機低誘電率材料からなる第 1 の絶縁層を形成する工程と、

前記第 1 の絶縁層の上に第 2 の絶縁層を形成する工程と、

前記第 2 の絶縁層の上に、窒化シリコンよりも比誘電率が低い第 2 の有機低誘電率材料からなる第 3 の絶縁層を形成する工程と、

前記第 1 の絶縁層をエッチングストッパーとして用いて、前記第 2 及び第 3 の絶縁層に前記第 1 の絶縁層に達する溝を形成する工程と、

前記溝内を配線材料で埋め込んだ後、前記溝内以外の部分の前記配線材料を除去して、前記溝内に前記配線材料からなる配線層を形成する工程と、

前記第 3 の絶縁層及び前記配線層の上に第 4 の絶縁層を形成する工程と、

前記第 3 の絶縁層をエッチングストッパーとして用いて、前記第 4 の絶縁層に前記配線層に達する接続孔を形成する工程と、

前記接続孔を導電材料で埋め込む工程と、を有する半導体装置の製造方法。

【請求項 48】 前記第 2 の絶縁層として、主として酸化シリコンからなる絶縁層を形成する、請求項 47 に記載の半導体装置の製造方法。

【請求項 49】 前記第 1 の有機低誘電率材料として、酸化シリコンよりも比誘電率が低い材料を用いる、請求項 48 に記載の半導体装置の製造方法。

【請求項 50】 前記第 1 の有機低誘電率材料として、ポリアリアルエーテル、ポリー p-キシレン、ポリイミド及びポリナフタレンからなる群より選ばれた少なくとも 1 種を用いる、請求項 49 に記載の半導体装置の製造方法。

【請求項 51】 前記第 4 の絶縁層として、主として酸化シリコンからなる絶縁層を形成する、請求項 47 に記載の半導体装置の製造方法。

【請求項 52】 前記第 2 の有機低誘電率材料として、酸化シリコンよりも比誘電率が低い材料を用いる、請求項 51 に記載の半導体装置の製造方法。

【請求項 53】 前記第 2 の有機低誘電率材料として、ポリアリアルエーテル、ポリー p-キシレン、ポリイミド及びポリナフタレンからなる群より選ばれた少なくとも 1 種を用いる、請求項 52 に記載の半導体装置の製造方法。

【請求項 54】 前記第 2 の絶縁層として、酸化シリコンよりも比誘電率が低い第 3 の有機低誘電率材料からなる絶縁層を形成する、請求項 47 に記載の半導体装置の製造方法。

【請求項 55】 前記第 1 の有機低誘電率材料として、フッ素を原子比で 1%未満しか含有していないものを用

いるとともに、前記第 3 の有機低誘電率材料として、フッ素を原子比で 1%以上含有したものを用い、且つ、前記溝を形成するための前記第 2 の絶縁層のエッチングを、フッ素を含有したエッチャントにより行う、請求項 54 に記載の半導体装置の製造方法。

【請求項 56】 前記第 1 の有機低誘電率材料として、酸化シリコンよりも比誘電率が低い材料を用いる、請求項 55 に記載の半導体装置の製造方法。

【請求項 57】 前記第 1 の有機低誘電率材料として、ポリアリアルエーテル、ポリー p-キシレン、ポリイミド及びポリナフタレンからなる群より選ばれた少なくとも 1 種を用いる、請求項 56 に記載の半導体装置の製造方法。

【請求項 58】 前記第 3 の有機低誘電率材料として、環状フッ素化合物とシロキサンとの共重合体、ポリペンタフルオロスチレン、変性ポリテトラフルオロエチレン、ポリー 1, 4-フルオロメチルベンゼン、フッ化ポリアリアルエーテル、フッ化ポリイミド、ポリフッ化ナフタレン、ポリー 2, 3, 5, 6-テトラフルオロ-p-キシレン及びパークロロシクロアルキル系ポリマーからなる群より選ばれた少なくとも 1 種を用いる、請求項 55 に記載の半導体装置の製造方法。

【請求項 59】 前記第 4 の絶縁層として、酸化シリコンよりも比誘電率が低い第 4 の有機低誘電率材料からなる絶縁層を形成する、請求項 47 に記載の半導体装置の製造方法。

【請求項 60】 前記第 2 の有機低誘電率材料として、フッ素を原子比で 1%未満しか含有していないものを用いるとともに、前記第 4 の有機低誘電率材料として、フッ素を原子比で 1%以上含有したものを用い、且つ、前記接続孔を形成するための前記第 4 の絶縁層のエッチングを、フッ素を含有したエッチャントにより行う、請求項 59 に記載の半導体装置の製造方法。

【請求項 61】 前記第 2 の有機低誘電率材料として、酸化シリコンよりも比誘電率が低い材料を用いる、請求項 60 に記載の半導体装置の製造方法。

【請求項 62】 前記第 2 の有機低誘電率材料として、ポリアリアルエーテル、ポリー p-キシレン、ポリイミド及びポリナフタレンからなる群より選ばれた少なくとも 1 種を用いる、請求項 61 に記載の半導体装置の製造方法。

【請求項 63】 前記第 4 の有機低誘電率材料として、環状フッ素化合物とシロキサンとの共重合体、ポリペンタフルオロスチレン、変性ポリテトラフルオロエチレン、ポリー 1, 4-フルオロメチルベンゼン、フッ化ポリアリアルエーテル、フッ化ポリイミド、ポリフッ化ナフタレン、ポリー 2, 3, 5, 6-テトラフルオロ-p-キシレン及びパークロロシクロアルキル系ポリマーからなる群より選ばれた少なくとも 1 種を用いる、請求項 60 に記載の半導体装置の製造方法。

【請求項64】 下地層の上に、窒化シリコンよりも比誘電率が低い第1の有機低誘電率材料からなる第1の絶縁層を形成する工程と、

前記第1の絶縁層の上に第2の絶縁層を形成する工程と、

前記第1の絶縁層をエッチングストッパーとして用いて、前記第2の絶縁層に前記第1の絶縁層に達する溝を形成する工程と、

前記溝内を配線材料で埋め込んだ後、前記溝内以外の部分の前記配線材料を除去して、前記溝内に前記配線材料からなる配線層を形成する工程と、

前記第2の絶縁層及び前記配線層の上に、窒化シリコンよりも比誘電率が低い第2の有機低誘電率材料からなる第3の絶縁層を形成する工程と、

前記第3の絶縁層の上に第4の絶縁層を形成する工程と、

前記第3の絶縁層をエッチングストッパーとして用いて、前記第4の絶縁層に前記第3の絶縁層に達する第1の貫通孔を形成する工程と、

前記第2の絶縁層をエッチングストッパーとして用いて、前記第3の絶縁層に、前記第1の貫通孔に連続して、その第1の貫通孔とともに前記配線層に達する接続孔を構成する第2の貫通孔を形成する工程と、

前記接続孔を導電材料で埋め込む工程と、を有する半導体装置の製造方法。

【請求項65】 前記第2の絶縁層として、主として酸化シリコンからなる絶縁層を形成する、請求項64に記載の半導体装置の製造方法。

【請求項66】 前記第1の有機低誘電率材料として、酸化シリコンよりも比誘電率が低い材料を用いる、請求項65に記載の半導体装置の製造方法。

【請求項67】 前記第1の有機低誘電率材料として、ポリアリールエーテル、ポリーピーキシレン、ポリイミド及びポリナフタレンからなる群より選ばれた少なくとも1種を用いる、請求項66に記載の半導体装置の製造方法。

【請求項68】 前記第4の絶縁層として、主として酸化シリコンからなる絶縁層を形成する、請求項65に記載の半導体装置の製造方法。

【請求項69】 前記第2の有機低誘電率材料として、酸化シリコンよりも比誘電率が低い材料を用いる、請求項68に記載の半導体装置の製造方法。

【請求項70】 前記第2の有機低誘電率材料として、ポリアリールエーテル、ポリーピーキシレン、ポリイミド及びポリナフタレンからなる群より選ばれた少なくとも1種を用いる、請求項69に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置及びその

製造方法に関し、特に、層間絶縁膜の少なくとも一部に窒化シリコンや酸化シリコンよりも比誘電率が低い有機低誘電率膜を用いた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 L S I等の半導体装置の高集積化に伴い、内部配線の微細化及び多層化が進んでいる。この結果、層間絶縁膜の平坦化技術や微細配線の加工技術が重要な課題となっており、これらの課題の解決手段の1つとして、埋め込み配線技術が注目されている。

【0003】 この埋め込み配線技術では、層間絶縁膜に配線パターンの溝を形成し、この溝内を配線材料で埋め込んだ後、溝内以外の部分の配線材料を、例えば、エッチバック又は化学的機械研磨（CMP）法により除去して、溝内にのみ配線材料を残す。

【0004】 この埋め込み配線技術によれば、配線部分が層間絶縁膜に埋め込まれた形状で形成されるため、この後の層間膜の平坦化に極めて有利である。また、埋め込み配線の形成にCMP法を用いる場合には、従来のR I E（Reactive Ion Etching：反応性イオンエッチング）法による加工が困難であった銅（Cu）配線の使用が可能となる。このCu配線は、低抵抗且つ高信頼性のため、次世代配線材料として最も注目されているものである。

【0005】

【発明が解決しようとする課題】 上述した埋め込み配線のための溝形成時、そのエッチング制御を簡便に行うために、通常、層間絶縁膜中にエッチングストッパー層が設けられる。例えば、従来のSiO<sub>2</sub>系の層間絶縁膜の場合、窒化シリコン膜がエッチングストッパー層として用いられる。しかし、窒化シリコンは、その比誘電率が約7と非常に高いため、層間絶縁膜中に窒化シリコン膜を設けると、層間絶縁膜全体の比誘電率が高くなってしまうという問題が有った。

【0006】 一方、上述した半導体装置の高集積化に伴い、配線間隔の縮小化も進んでいる。しかし、配線間隔の縮小は、配線間容量の増大を招き、半導体装置の動作速度の劣化や消費電力の増大に繋がる。特に、ロジック系の半導体装置では、動作速度の劣化は極めて重要な問題である。

【0007】 そこで、層間絶縁膜として、従来一般に用いられている酸化シリコン（SiO<sub>2</sub>：比誘電率 $\kappa \approx 4.2$ ）系の絶縁膜よりも低誘電率の絶縁膜を用いることが検討されている。特に、デザインルールが0.18  $\mu\text{m}$ よりも小さくなると、層間膜の比誘電率は、例えば、2.5程度以下であるのが好ましい。

【0008】 更に、配線間隔が縮小されると、それらの配線に上層配線をコンタクトさせるための接続孔（ビアホール）を正確に形成する必要が生じる。即ち、接続孔の形成位置が下層配線上から多少でもずれた場合には、

その接続孔を形成するエッチング過程で、下層配線間の絶縁膜もエッチングされ、後の接続孔の埋め込み時、その部分にも上層配線材料が侵入する。この結果、下層配線の間隔が、それらの間に侵入した上層配線材料により更に縮小した形となり、配線間容量が不測に増大するという問題が有った。また、最悪の場合には、配線間が短絡するという問題も有った。

【0009】しかし、フォトリソグラフィ工程における露光装置の解像度には限界があり、接続孔の形成位置が多少ずれることは技術的に避けられない現象である。

【0010】特に、微細化及び高集積化が進んだ最近の半導体装置では、コンタクト部での配線幅を他の部分より大きくとることが困難になって、コンタクト部での配線幅が他の部分と同じいわゆるボーダーレスコンタクトとなっている。この結果、必然的にコンタクト部での下層配線の幅とその上に形成する接続孔の径とがほぼ等しくなり、上述したような接続孔の位置ずれの問題が深刻化している。

【0011】そこで、本発明の第1の目的は、例えば、埋め込み配線用の溝形成時のエッチング制御を簡便に行うために設けるエッチングストッパー層に、窒化シリコンよりも比誘電率が低い有機低誘電率材料を用いることにより、層間絶縁膜全体の誘電率を従来よりも低くした半導体装置及びその製造方法を提供することである。

【0012】また、本発明の第2の目的は、例えば、層間絶縁膜の主要部分に酸化シリコンよりも比誘電率が低い有機低誘電率材料を用いることにより、例えば、埋め込み配線の間隔が狭い場合でもその配線間容量の増大を抑えることができる半導体装置及びその製造方法を提供することである。

【0013】更に、本発明の第3の目的は、例えば、下層配線に対する接続孔の形成位置が多少ずれた場合でも、その接続孔形成のためのエッチング時、下層配線間の絶縁膜が不測にエッチングされない構造の半導体装置及びその製造方法を提供することである。

【0014】

【課題を解決するための手段】上述した課題を解決する本発明の半導体装置は、第1の絶縁層と、前記第1の絶縁層の下に設けられ、窒化シリコンよりも比誘電率が低く且つ前記第1の絶縁層のエッチング時にエッチング耐性を有する有機低誘電率材料からなる第2の絶縁層と、を備える。

【0015】例えば、酸化シリコンからなる第1の絶縁層のエッチングストッパー層として用いる第2の絶縁層には、ポリアリアルエーテル、ポリーp-キシレン、ポリイミド又はポリナフタレンを上記有機低誘電率材料として用い得る。

【0016】また、第1の絶縁層及び第2の絶縁層に、共に、酸化シリコンよりも比誘電率が低い有機低誘電率材料を用いることにより、層間絶縁膜全体の誘電率を、

酸化シリコン系のものに比し、低くすることができる。従って、例えば、埋め込み配線を比較的近接させて配置した場合でも、その配線間容量の増大を抑制することができる。

【0017】この時、第1の絶縁層に用い得る有機低誘電率材料としては、例えば、環状フッ素化合物とシロキサンとの共重合体、ポリペンタフルオロスチレン、変性ポリテトラフルオロエチレン、ポリー1, 4-フルオロメチルベンゼン、フッ化ポリアリアルエーテル、フッ化ポリイミド、ポリフッ化ナフタレン、ポリー2, 3, 5, 6-テトラフルオロ-p-キシレン又はパークロロシクロアルキル系ポリマーを挙げることができる。

【0018】一方、第2の絶縁層に用い得る有機低誘電率材料としては、例えば、ポリアリアルエーテル、ポリーp-キシレン、ポリイミド又はポリナフタレンを挙げることができる。

【0019】また、本発明の半導体装置の製造方法は、下地層の上に、窒化シリコンよりも比誘電率が低い第1の有機低誘電率材料からなる第1の絶縁層を形成する工程と、前記第1の絶縁層の上に第2の絶縁層を形成する工程と、前記第2の絶縁層の上に、窒化シリコンよりも比誘電率が低い第2の有機低誘電率材料からなる第3の絶縁層を形成する工程と、前記第1の絶縁層をエッチングストッパーとして用いて、前記第2及び第3の絶縁層に前記第1の絶縁層に達する溝を形成する工程と、前記溝内を配線材料で埋め込んだ後、前記溝内以外部分の前記配線材料を除去して、前記溝内に前記配線材料からなる配線層を形成する工程と、前記第3の絶縁層及び前記配線層の上に第4の絶縁層を形成する工程と、前記第3の絶縁層をエッチングストッパーとして用いて、前記第4の絶縁層に前記配線層に達する接続孔を形成する工程と、前記接続孔を導電材料で埋め込む工程と、を有する。

【0020】また、本発明の別の態様による半導体装置の製造方法は、下地層の上に、窒化シリコンよりも比誘電率が低い第1の有機低誘電率材料からなる第1の絶縁層を形成する工程と、前記第1の絶縁層の上に第2の絶縁層を形成する工程と、前記第1の絶縁層をエッチングストッパーとして用いて、前記第2の絶縁層に前記第1の絶縁層に達する溝を形成する工程と、前記溝内を配線材料で埋め込んだ後、前記溝内以外部分の前記配線材料を除去して、前記溝内に前記配線材料からなる配線層を形成する工程と、前記第2の絶縁層及び前記配線層の上に、窒化シリコンよりも比誘電率が低い第2の有機低誘電率材料からなる第3の絶縁層を形成する工程と、前記第3の絶縁層の上に第4の絶縁層を形成する工程と、前記第3の絶縁層をエッチングストッパーとして用いて、前記第4の絶縁層に前記第3の絶縁層に達する第1の貫通孔を形成する工程と、前記第2の絶縁層をエッチングストッパーとして用いて、前記第3の絶縁層に、前





記第1の貫通孔に連続して、その第1の貫通孔とともに前記配線層に達する接続孔を構成する第2の貫通孔を形成する工程と、前記接続孔を導電材料で埋め込む工程と、を有する。

【0021】これらの製造方法においては、例えば、下層配線に対する接続孔の形成位置が多少ずれた場合でも、それら下層配線間の絶縁膜である第2の絶縁層の不測のエッチングが防止されるので、その第2の絶縁層の不測のエッチングに起因する配線間容量の増大や配線間の短絡等が防止される。

【0022】

【発明の実施の形態】以下、本発明を好ましい実施の形態に従い説明する。

【0023】〔第1の実施の形態〕まず、図1及び図2を参照して、本発明の第1の実施の形態を説明する。

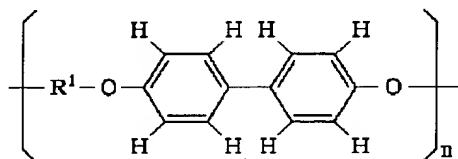
【0024】まず、図1(a)に示すように、所定の素子構造等が形成された単結晶シリコン半導体基板11上に、層間絶縁膜の一部として、例えば、モノシラン(SiH<sub>4</sub>)と酸素(O<sub>2</sub>)を原料ガスに用いた化学的気相成長(CVD)法により、又は、テトラエトキシシラン(TEOS)とO<sub>2</sub>を原料ガスに用いたプラズマCVD法により、酸化シリコン(SiO<sub>2</sub>)からなる下地絶縁膜12を、例えば、500nm程度の膜厚に形成する。

【0025】次に、この下地絶縁膜12の上に、窒化シリコンよりも比誘電率が低い有機低誘電率膜13を、例えば、回転塗布及びベーキングにより、又は、CVD法により、例えば、50nm程度の膜厚に形成する。

【0026】この有機低誘電率膜13には、次の〔化1〕に一般式を示すポリアリールエーテル(比誘電率κ≒2.8)、

【0027】

〔化1〕



n : 正の整数  
R<sup>1</sup>: アルキル基

【0028】次の〔化2〕に一般式を示すポリ-p-キシレン(例えば、パリレン(商品名): 比誘電率κ≦2.6)、

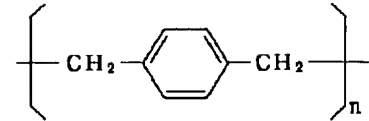
【0029】

〔化2〕

(7)



特開平10-150105



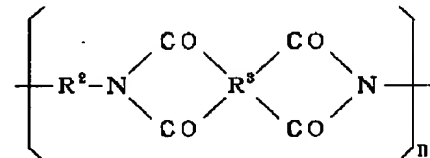
n : 正の整数

\* 【0030】次の〔化3〕に一般式を示すポリイミド(比誘電率κ≒3.2~3.6)、

【0031】

10

〔化3〕



R<sup>2</sup>: -R<sup>4</sup>-C(CH<sub>3</sub>)<sub>2</sub>-R<sup>4</sup>-

R<sup>3</sup>: >R<sup>5</sup>-C(CH<sub>3</sub>)<sub>2</sub>-R<sup>5</sup><

n : 正の整数

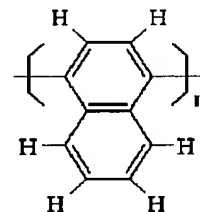
R<sup>4</sup>: アルキル基

R<sup>5</sup>: 3価の炭化水素基

【0032】次の〔化4〕に一般式を示すポリナフタレン(比誘電率κ≒2.3~2.5)、

【0033】

〔化4〕



n : 正の整数

【0034】等を好適に用いることができる。

【0035】これら〔化1〕~〔化4〕に示した材料は、実質的にフッ素を含有していないので、フッ素系ガスによるエッチングに比較的強い耐性を示し、従って、エッチングストッパーとして有効に用い得る。

【0036】なお、上述した〔化1〕~〔化4〕の材料は、いずれも、窒化シリコン(比誘電率κ≒7)のみならず、既述したSiO<sub>2</sub>(比誘電率κ≒4.2)よりも低い比誘電率を有しているため、層間絶縁膜の低誘電率化に極めて有効である。

【0037】なお、〔化1〕~〔化4〕の材料を適宜積層して用いても良い。

【0038】次に、図示の如く、この有機低誘電率膜13の上に、上述した下地絶縁膜12と同様のSiO<sub>2</sub>からなる絶縁膜14を、例えば、800nm程度の膜厚に形成する。次いで、この絶縁膜14の上に、上述した有機低誘電率膜13と同様の材料からなる有機低誘電率膜

\*

50

15を、例えば、50nm程度の膜厚に形成する。

【0039】次に、図1(b)に示すように、有機低誘電率膜15の上にレジスト膜(図示省略)を形成し、フォトリソグラフィによりそのレジスト膜をパターンニングして、埋め込み配線用の溝を形成する領域上のレジスト膜の部分に開口を形成する。しかる後、そのレジスト膜をエッチングマスクとして用いて、有機低誘電率膜15

#### エッチング条件(1)

ガス :  $O_2/Ar=200/200$  [sccm]  
 圧力 : 40mTorr  
 RFパワー : 1500W  
 基板設置電極温度 : 20℃

【0041】このエッチング条件(1)での既述した【化1】～【化4】のエッチングレートは、いずれも、5μm/秒程度で、一方、SiO<sub>2</sub>のエッチングレートは、50nm/秒程度である。

#### エッチング条件(2)

ガス :  $C_2F_6/CO/Ar/O_2$   
 $=14/180/240/6$  [sccm]  
 圧力 : 40mTorr  
 RFパワー : 1.5kW  
 基板設置電極温度 : 20℃

【0043】このエッチング条件(2)におけるSiO<sub>2</sub> ★ 及び既述した【化1】～【化4】の材料のエッチング ★

SiO <sub>2</sub>	【化1】	【化2】	【化3】	【化4】
約500	約70	約75	約65	約45

【0044】従って、このエッチング条件(2)による絶縁膜14のエッチング時、既述した【化1】～【化4】の材料からなる有機低誘電率膜13がエッチングストッパーとして機能するので、溝16形成時のエッチング制御を簡便に行うことができる。

【0045】次に、図1(c)に示すように、いわゆるダマシン法により、溝16内に配線層17を形成する。即ち、溝16内を埋め込むように、例えば、Al-Cu合金等のAl系合金又はCu、銀(Ag)、金(Au)等を主成分とする配線材料を全面に形成し、例えば、CMP法により、溝16内以外の部分の配線材料を除去する。なお、溝16内以外の部分の配線材料を除去する方法は、エッチバック法でも良い。

【0046】次に、図2(a)に示すように、有機低誘電率膜15上及び配線層17上の全面に、上述した下地絶縁膜12及び絶縁膜14と同様のSiO<sub>2</sub>からなる絶縁膜18を、例えば、800nm程度の膜厚に形成する。

【0047】次に、図2(b)に示すように、絶縁膜18の上にレジスト膜(図示省略)を形成し、フォトリソグラフィによりそのレジスト膜をパターンニングして、配線層17に対する接続孔(ビアホール)を形成する領域上のレジスト膜の部分に開口を形成する。しかる後、そのレジスト膜をエッチングマスクとして用いて、絶縁

\*5をエッチングし、続いて、更に、絶縁膜14をエッチングして、図示の如く、有機低誘電率膜15と絶縁膜14に、埋め込み配線用の溝16を形成する。

【0040】このエッチングは、例えば、マグネトロン方式のエッチング装置を用いて行い、有機低誘電率膜15のエッチングは、例えば、下記のエッチング条件(1)で行う。

※【0042】次に、SiO<sub>2</sub>からなる絶縁膜14のエッチングは、例えば、下記のエッチング条件(2)で行う。

★レートは、次の通りである。なお、単位は全て[nm/分]である。

膜18をエッチングし、図示の如く、絶縁膜18に配線層17に達する接続孔19を形成する。

【0048】この時、このSiO<sub>2</sub>からなる絶縁膜18のエッチングは、例えば、上述したエッチング条件(2)により行う。従って、図示の如く、フォトリソグラフィによる接続孔19の位置が多少ずれた場合でも、そのエッチング時に、既述した【化1】～【化4】の材料からなる有機低誘電率膜15がエッチングストッパーとして機能するので、接続孔19が配線層17間の絶縁膜14中にまで達して形成されることが無い。この結果、後に接続孔19内に埋め込まれる導電材料により配線層17間の距離が実質的に狭められて配線間容量が不測に増大すること、及び、配線層17間が短絡することが防止される。

【0049】次に、図2(c)に示すように、接続孔19内を、例えば、ポリシリコンやタングステン(W)等の導電材料からなるプラグ20により埋め込む。即ち、接続孔19内を埋め込むように絶縁膜18上の全面に、例えば、CVD法やスパッタ法により、プラグ20を構成する導電材料を成膜した後、例えば、エッチバック法やCMP法により、接続孔19内以外の部分の導電材料を除去する。

【0050】この後、図示は省略するが、絶縁膜18上に、プラグ20に接続するパターンで上層配線層を形成

する。なお、例えば、Al-Cu合金等のAl系合金又はCu、Ag、Au等を主成分とする上層配線材料を直接接続孔19内に埋め込むようにして、上層配線層を形成しても良い。

【0051】以上に説明した第1の実施の形態では、絶縁膜14に埋め込み配線用の溝16を形成するためのエッチング時、及び、絶縁膜18に接続孔19を形成するためのエッチング時、夫々、有機低誘電率膜13、15をエッチングストッパーとして用いているので、それらのエッチング制御を簡便に行うことができる。この時、有機低誘電率膜13、15は、従来エッチングストッパーとして多用されている窒化シリコンよりも比誘電率が低く、更に、酸化シリコンよりも比誘電率が低いので、層間絶縁膜全体の比誘電率を従来よりも低くすることができる。この結果、層間容量や配線間容量を低減することができる。素子の動作特性が向上する。

【0052】また、絶縁膜18に接続孔19を形成する際、有機低誘電率膜15をエッチングストッパーとして用いているので、例えば、フォトリソグラフィによる接続孔19の形成位置が多少ずれた場合でも、そのエッチング時、下層の配線層17間の絶縁膜14が不測にエッチングされることが防止される。従って、下層の配線層17間に、例えば、上層配線材料等の導電材料の侵入することが無いので、配線層17間の実質的な間隔が不測に縮小することが防止され、配線間容量の不測の増大が防止される。また、下層の配線層17間に侵入した導電材料による配線層17間の短絡も防止される。

【0053】〔第2の実施の形態〕次に、図3～図5を参照して、本発明の第2の実施の形態を説明する。なお、この第2の実施の形態において、上述した第1の実施の形態に対応する部位には、上述した第1の実施の形態と同一の符号を付す。

【0054】まず、図3(a)に示すように、上述した第1の実施の形態と同様にして、シリコン基板11上に、SiO<sub>2</sub>からなる下地絶縁膜12を、例えば、500nm程度の膜厚に形成する。

【0055】次に、この下地絶縁膜12の上に、窒化シリコンよりも比誘電率が低い有機低誘電率膜13を、例えば、500nm程度の膜厚に形成する。この有機低誘電率膜13には、例えば、既述した〔化1〕～〔化4〕の材料を用いる。

【0056】次に、この有機低誘電率膜13の上に、上述した下地絶縁膜12と同様のSiO<sub>2</sub>からなる絶縁膜14を、例えば、800nm程度の膜厚に形成する。

【0057】次に、図3(b)に示すように、この第2の実施の形態では、絶縁膜14の上にレジスト膜(図示省略)を形成し、フォトリソグラフィによりそのレジスト膜をパターンニングして、埋め込み配線用の溝を形成する領域上のレジスト膜の部分に開口を形成する。しかる後、そのレジスト膜をエッチングマスクとして用い

て、絶縁膜14をエッチングし、図示の如く、絶縁膜14に、埋め込み配線用の溝16を形成する。

【0058】この時のエッチングは、例えば、既述したエッチング条件(2)で行う。従って、絶縁膜14のエッチング時、有機低誘電率膜13がエッチングストッパーとして機能するので、そのエッチング制御を簡便に行うことができる。

【0059】次に、図3(c)に示すように、いわゆるダマシン法により、溝16内に配線層17を形成する。即ち、溝16内を埋め込むように、例えば、Al-Cu合金等のAl系合金又はCu、銀(Ag)、金(Au)等を主成分とする配線材料を全面に形成し、例えば、CMP法により、溝16内以外の部分の配線材料を除去する。なお、溝16内以外の部分の配線材料を除去する方法は、エッチバック法でも良い。

【0060】次に、図4(a)に示すように、絶縁膜14上及び配線層17上の全面に、上述した有機低誘電率膜13と同様の材料からなる有機低誘電率膜15を、例えば、500nm程度の膜厚に形成する。

【0061】次に、図4(b)に示すように、有機低誘電率膜15上の全面に、上述した下地絶縁膜12及び絶縁膜14と同様のSiO<sub>2</sub>からなる絶縁膜18を、例えば、800nm程度の膜厚に形成する。

【0062】次に、図4(c)に示すように、絶縁膜18の上にレジスト膜(図示省略)を形成し、フォトリソグラフィによりそのレジスト膜をパターンニングして、配線層17に対する接続孔(ビアホール)を形成する領域上のレジスト膜の部分に開口を形成する。しかる後、そのレジスト膜をエッチングマスクとして用いて、絶縁膜18をエッチングする。

【0063】この時のエッチングは、例えば、既述したエッチング条件(2)で行う。従って、この絶縁膜18のエッチング時、有機低誘電率膜15がエッチングストッパーとして機能するので、図示の如く、絶縁膜18に有機低誘電率膜15に達する貫通孔19aが形成される。

【0064】次に、図5(a)に示すように、引き続き、例えば、既述したエッチング条件(1)により、有機低誘電率膜15のエッチングを行う。これにより、図示の如く、有機低誘電率膜15に配線層17に達する貫通孔19bが形成され、この有機低誘電率膜15の貫通孔19bとこれに連続する絶縁膜18の貫通孔19aとにより、接続孔19が形成される。この時、SiO<sub>2</sub>からなる絶縁膜14が、実質上エッチングストッパーとして機能するので、接続孔19が配線層17間の絶縁膜14中にまで達して形成されることは無い。

【0065】次に、図5(b)に示すように、接続孔19内を、例えば、ポリシリコンやタングステン(W)等の導電材料からなるプラグ20により埋め込む。即ち、接続孔19内を埋め込むように絶縁膜18上の全面に、

例えば、CVD法やスパッタ法により、プラグ20を構成する導電材料を成膜した後、例えば、エッチバック法やCMP法により、接続孔19内以外の部分の導電材料を除去する。

【0066】この後、図示は省略するが、絶縁膜18上に、プラグ20に接続するパターンで上層配線層を形成する。なお、例えば、Al-Cu合金等のAl系合金又はCu、Ag、Au等を主成分とする上層配線材料を直接接続孔19内に埋め込むようにして、上層配線層を形成しても良い。

【0067】以上に説明した第2の実施の形態では、絶縁膜14に埋め込み配線用の溝16を形成するためのエッチング時、及び、絶縁膜18に、接続孔19の一部である貫通孔19aを形成するためのエッチング時、夫々、有機低誘電率膜13、15をエッチングストッパーとして用いているので、それらのエッチング制御を簡便に行うことができる。この時、有機低誘電率膜13、15は、従来エッチングストッパーとして多用されている窒化シリコンよりも比誘電率が低く、更に、酸化シリコンよりも比誘電率が低いので、層間絶縁膜全体の比誘電率を従来よりも低くすることができる。この結果、層間容量や配線間容量を低減することができて、素子の動作特性が向上する。

【0068】また、絶縁膜18に、接続孔19の一部である貫通孔19aを形成する際には、有機低誘電率膜15をエッチングストッパーとして用い、有機低誘電率膜15に、接続孔19の一部である貫通孔19bを形成す\*

\* 際には、絶縁膜14をエッチングストッパーとして用いているので、例えば、フォトリソグラフィによる接続孔19の形成位置が多少ずれた場合でも、そのエッチング形成時、下層の配線層17間の絶縁膜14がエッチングされることが実質上防止される。従って、下層の配線層17間に、例えば、上層配線材料等の導電材料の侵入することが無いので、配線層17間の実質的な間隔が不測に縮小することが防止され、配線間容量の不測の増大が防止される。また、下層の配線層17間に侵入した導電材料による配線層17間の短絡も防止される。

【0069】〔第3の実施の形態〕次に、本発明の第3の実施の形態を説明する。

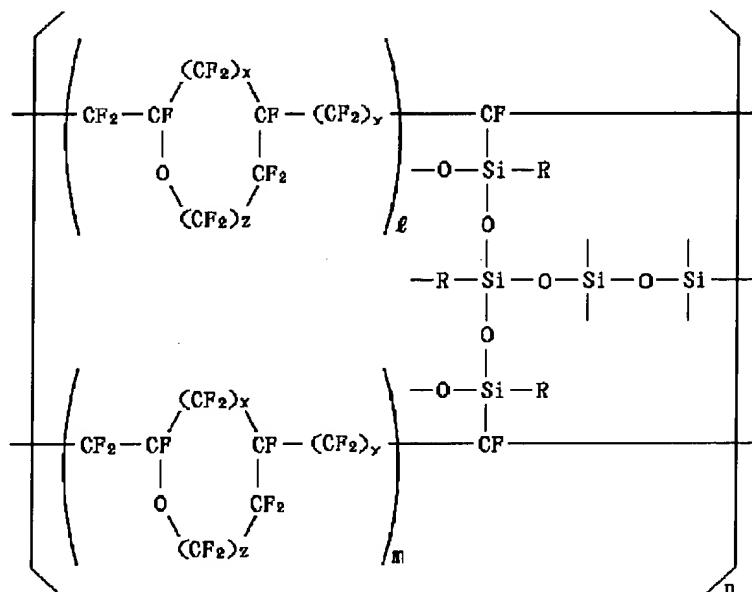
【0070】なお、この第3の実施の形態における各構成要素の位置的関係及び製造手順は、図1及び図2で説明した第1の実施の形態と実質的に同じで良いので、ここでは、便宜上、第1の実施の形態と同じ図1及び図2を参照して、この第3の実施の形態を説明する。

【0071】まず、図1(a)に示すように、この第3の実施の形態では、シリコン基板11上に、層間絶縁膜の一部として、酸化シリコンよりも比誘電率が低い有機低誘電率材料からなる絶縁膜12を、例えば、800nm程度の膜厚に形成する。

【0072】この有機低誘電率材料としては、次の〔化5〕に一般式を示す環状フッ素化合物とシロキサンとの共重合体（比誘電率 $\kappa \approx 2.4$ ）を用いることができる。

【0073】

〔化5〕



$x=0.1$

$y=0.1$

$z=0.1$

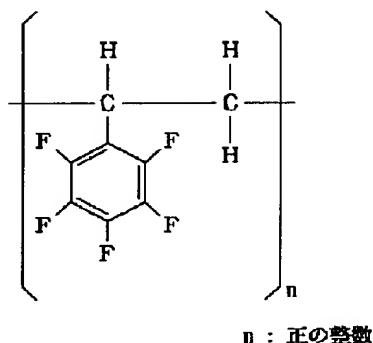
R=低級アルキル基  
(メチル、エチル等)

$l, m, n$ : 正の整数

【0074】また、これ以外では、次の【化6】に一般式を示すポリペンタフルオロスチレン（比誘電率 $\kappa \approx 1.9$ ）、

【0075】

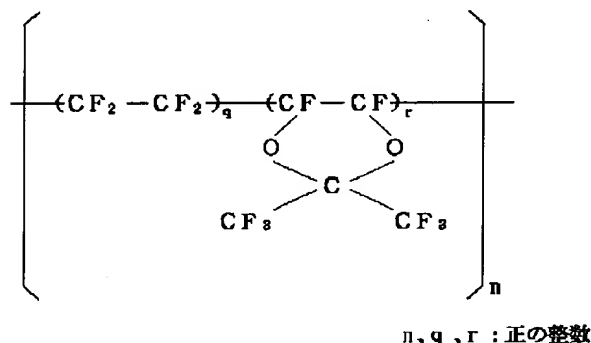
【化6】



【0076】次の【化7】に一般式を示す変性ポリテトラフルオロエチレン系樹脂（例えば、デュポン社の商品名テフロンAF：比誘電率 $\kappa \approx 1.9 \sim 2.1$ ）

【0077】

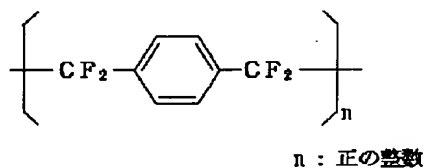
【化7】



【0078】次の【化8】に一般式を示すポリ-1,4-フルオロメチルベンゼン（例えば、パリレンF（商品名）：比誘電率 $\kappa \leq 2.4$ ）、

【0079】

【化8】



【0080】次の【化9】に一般式を示すフッ化ポリアリールエーテル系樹脂（例えば、FLARE（商品名）：比誘電率 $\kappa \leq 2.6$ ）等が挙げられる。

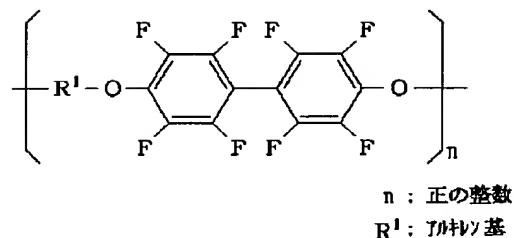
【0081】

【化9】

(11)

特開平10-150105

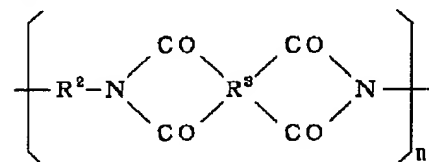
20



\* 【0082】次の【化10】に一般式を示すフッ化ポリイミド（比誘電率 $\kappa \leq 2.7$ ）、

10 【0083】

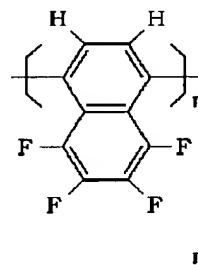
【化10】



【0084】次の【化11】に一般式を示すポリフッ化ナフタレン（比誘電率 $\kappa \approx 2.2 \sim 2.4$ ）、

【0085】

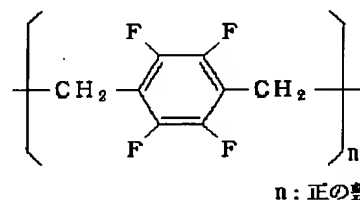
【化11】



【0086】次の【化12】に一般式を示すポリ-2,3,5,6-テトラフルオロ-p-キシレン（例えば、パリレンAF-4（商品名）：比誘電率 $\kappa \leq 2.3$ ）、

【0087】

【化12】



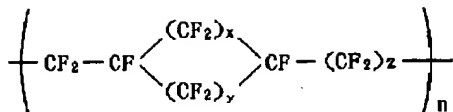
【0088】次の【化13】に一般式を示すパークロロシクロアルキル系ポリマーからなる樹脂（例えば、サイトップ（商品名）：比誘電率 $\kappa \approx 2.4$ ）、

【0089】

【化13】

\*

50



$x, y, z, n$  : 正の整数

【0090】等を好適に用いることができる。

【0091】これらの〔化5〕～〔化13〕の有機材料は、いずれもフッ素を比較的多量に含んでいるため、その比誘電率が低い。なお、これらの〔化5〕～〔化13〕の有機材料を適宜積層して用いても勿論良い。

【0092】次に、図示の如く、この絶縁膜12の上に、この絶縁膜12を構成する有機低誘電率材料とは異なる有機低誘電率材料からなる有機低誘電率膜13を、例えば、100nm程度の膜厚に形成する。この有機低誘電率膜13としては、既述した〔化1〕のポリアリアルエーテルを用いることができる。

【0093】また、これ以外では、既述した〔化2〕～〔化4〕の材料を用いることもできる。

【0094】これらの〔化1〕～〔化4〕の有機材料は、いずれもフッ素を実質的に含まないため、その比誘電率は比較的高い(但し、 $\text{SiO}_2$ の比誘電率 $\kappa \approx 4$ 、

エッチング条件(3))

ガス :  $\text{C}_4\text{F}_8 / \text{CO} / \text{Ar} / \text{O}_2$   
 $= 12 / 150 / 200 / 5$  [sccm]

圧力 : 45mTorr

RFパワー : 1700W

基板設置電極温度 : 20℃

これにより、図示の如く、有機低誘電率膜15と絶縁膜14に、フォトリソの開口パターンに対応したパターンの溝16を形成する。

【0098】この時、例えば、ポリアリアルエーテルからなる有機低誘電率膜13が、例えば、環状フッ素化合物とシロキサン共重合体からなる絶縁膜14に比較して、エッチングレートがかなり低いため、即ち、絶縁膜14のエッチング時に有機低誘電率膜13が実質的にエッチング耐性を有するため、この有機低誘電率膜13を※

環状フッ素化合物・シロキサン共重合体      ポリアリアルエーテル  
 約350nm/分      約50nm/分

【0100】即ち、上述のエッチング条件(3)では、環状フッ素化合物とシロキサンの共重合体からなる絶縁膜14に対し、ポリアリアルエーテルからなる有機低誘電率膜13のエッチング選択比は約7と大きく、従って、このポリアリアルエーテルからなる有機低誘電率膜13を環状フッ素化合物とシロキサンの共重合体からなる絶縁膜14のエッチングストッパーとして十分に用いることが分かる。

【0101】なお、上述のエッチング時、環状フッ素化★

\* 2よりは低い。)。従って、層間絶縁膜の比誘電率をできるだけ低くするという目的からは、これらの〔化1〕～〔化4〕の有機材料は余り厚く形成しない方が好ましく、例えば、その膜厚を100nm以下とするのが好ましい。なお、この膜厚範囲内で、これらの〔化1〕～〔化4〕の有機材料を適宜積層して用いることは可能である。

【0095】次に、図示の如く、この有機低誘電率膜13の上に、上述した絶縁膜12と同様の有機低誘電率材料からなる絶縁膜14を、例えば、800nm程度の膜厚に形成する。

【0096】次に、この絶縁膜14の上に、上述した有機低誘電率膜13と同様の有機低誘電率材料からなる有機低誘電率膜15を、例えば、100nm程度の膜厚に形成する。

【0097】次に、図1(b)に示すように、有機低誘電率膜15の上にフォトリソ(図示省略)を形成し、このフォトリソに所望の配線パターンの開口を形成した後、その開口の形成されたフォトリソをエッチングマスクとして用いて、例えば、マグネトロンエッチング装置により、次のエッチング条件(3)でエッチングを施す。

※エッチングストッパーとして用いて、この溝形成のためのエッチングを簡便に制御することができる。

【0099】例えば、シリコン基板上に環状フッ素化合物とシロキサンの共重合体からなる膜を約800nmの膜厚に形成した試料と、シリコン基板上にポリアリアルエーテルからなる膜を約800nmの膜厚に形成した試料を、夫々、上述のエッチング条件(3)でエッチングしてエッチングレートを測定したところ、下記の結果を得た。

★化合物とシロキサンの共重合体からなる絶縁膜14の上に設けたやはりポリアリアルエーテルからなる有機低誘電率膜15を最初にエッチングしなければならないが、この有機低誘電率膜15のエッチングは、上述のエッチング条件でも、時間さえかければ可能である。

【0102】既述した〔化6〕～〔化13〕の材料の、上述のエッチング条件(3)でのエッチングレートを下記に示す。単位は全て[nm/分]である。

23

〔化6〕	〔化7〕	〔化8〕	〔化9〕	〔化10〕
約380	約330	約350	約340	約300
〔化11〕	〔化12〕	〔化13〕		
約290	約310	約350		

【0103】また、〔化2〕～〔化4〕の材料の、上述のエッチング条件（3）でのエッチングレートを下記に示す。単位は全て〔nm／分〕である。

〔化2〕	〔化3〕	〔化4〕
約60	約50	約30

【0104】これらの結果から、〔化5〕の環状フッ素化合物とシロキサン共重合体の代わりに、〔化6〕～〔化13〕の材料を用いても、また、〔化1〕のポリアリールエーテルの代わりに、〔化2〕～〔化4〕の材料を用いても、上述と同様の効果の得られることが分かる。

【0105】一般に、フッ素を多く含有した有機膜はフッ素系のエッチャントによりエッチングされ易く、一方、フッ素を殆ど含有しない有機膜はフッ素系のエッチャントによりエッチングされ難い。そこで、絶縁膜14のようにエッチングを目的とした膜には、フッ素を多く含有した有機材料を用い、一方、有機低誘電率膜13のようにエッチングストッパーとして用いる膜には、フッ素を殆ど含有しない有機材料を用いるのが好ましい。例えば、絶縁膜14のようにエッチングを目的とした膜には、原子比で1％以上のフッ素を含有した有機材料を用い、有機低誘電率膜13のようにエッチングストッパーとして用いる膜には、フッ素を原子比で1％未満しか含まない有機材料を用いるのが好ましい。

【0106】また、既述したように、フッ素を含有することで膜の比誘電率が低下するので、エッチングを目的とした比較的厚く形成する膜にフッ素を多く含有した有機材料を用いることは、層間絶縁膜全体の比誘電率を下げるという目的からも好都合である。

【0107】次に、図1（c）に示すように、いわゆるダマシン法により、溝16内に配線層17を形成する。即ち、溝16内を埋め込むように、例えば、Al-Cu合金等のAl系合金又はCu、銀（Ag）、金（Au）等を主成分とする配線材料を全面に形成し、例えば、CMP法により、溝16内以外の部分の配線材料を除去する。なお、溝16内以外の部分の配線材料を除去する方法は、エッチバック法でも良い。

【0108】この時、本実施の形態では、図示の如く、複数の配線層17が比較的近接して並行配置された場合でも、配線層間の絶縁膜14が、酸化シリコンよりも比誘電率の低い有機低誘電率材料で構成されているので、配線間容量を小さく抑えることができ、動作速度の劣化が防止される。

【0109】次に、図2（a）に示すように、有機低誘電率膜15上及び配線層17上の全面に、上述した下地絶縁膜12及び絶縁膜14と同様の有機低誘電率材料が

らなる絶縁膜18を、例えば、800nm程度の膜厚に形成する。

【0110】次に、図2（b）に示すように、絶縁膜18の上にレジスト膜（図示省略）を形成し、フォトリソグラフィによりそのレジスト膜をパターンニングして、配線層17に対する接続孔（ビアホール）を形成する領域上のレジスト膜の部分に開口を形成する。しかる後、そのレジスト膜をエッチングマスクとして用いて、絶縁膜18をエッチングし、図示の如く、絶縁膜18に配線層17に達する接続孔19を形成する。

【0111】この時、本実施の形態では、配線層17間の絶縁膜の最上層に、例えば、環状フッ素化合物とシロキサンの共重合体からなる絶縁膜18のエッチング時にエッチング耐性を有する、例えば、ポリアリールエーテルからなる有機低誘電率膜15を設けている。従って、図示の如く、フォトリソグラフィによる接続孔19の位置が多少ずれた場合でも、そのエッチング時に有機低誘電率膜15がエッチングストッパーとして機能するので、接続孔19が配線層17間の絶縁膜中にまで達して形成されることが無い。この結果、後に接続孔19内に埋め込まれる導電材料により配線層17間の距離が実質的に狭められて配線間容量が不測に増大することが防止される。また、配線層17間に侵入した導電材料による配線層17間の短絡も防止される。

【0112】次に、図2（c）に示すように、接続孔19内を、例えば、ポリシリコンやタングステン（W）等の導電材料からなるプラグ20により埋め込む。即ち、接続孔19内を埋め込むように絶縁膜18上の全面に、例えば、CVD法やスパッタ法により、プラグ20を構成する導電材料を成膜した後、例えば、エッチバック法やCMP法により、接続孔19内以外の部分の導電材料を除去する。

【0113】この後、図示は省略するが、絶縁膜18上に、プラグ20に接続するパターンで上層配線層を形成する。なお、例えば、Al-Cu合金等のAl系合金又はCu、Ag、Au等を主成分とする上層配線材料を直接接続孔19内に埋め込むようにして、上層配線層を形成しても良い。

【0114】以上に説明した第3の実施の形態では、配線層17間の絶縁膜及び接続孔19間の絶縁膜に、夫々、SiO<sub>2</sub>よりも比誘電率の低い有機低誘電率材料を用いているので、配線間容量が低減され、この結果、配線間隔を縮小化することができて、高集積化が達成される。

【0115】なお、この第3の実施の形態において、比較的間隔の広い接続孔19間の絶縁膜18には、上述し

た第1の実施の形態と同様の $\text{SiO}_2$ 系の絶縁膜を用いても良い。その場合、既述したエッチング条件(3)での $\text{SiO}_2$ のエッチングレートは約 $400\text{ nm/分}$ であるので、例えば、〔化1〕～〔化4〕の材料で構成された有機低誘電率膜15はこの $\text{SiO}_2$ に対するエッチングストッパーとしても十分に機能し、従って、上述したと同様の効果が得られる。また、この絶縁膜8の部分を、上述した〔化5〕～〔化13〕の有機低誘電率材料と $\text{SiO}_2$ 系の絶縁膜との積層構造にしても良い。

【0116】更に、例えば、絶縁膜14を、有機低誘電率材料又は $\text{SiO}_2$ 系の絶縁膜18に対し充分なエッチング選択比がとれる有機低誘電率材料で構成したような場合には、有機低誘電率膜15を省略することができる。

【0117】この第3の実施の形態では、配線層17とシリコン基板11との間の層間絶縁膜にも、例えば、環状フッ素化合物とシロキサン共重合体からなる下地絶

#### 試料A

約4.8

【0119】この結果から、従来多用されている試料Aの酸化シリコン/窒化シリコンの組み合わせに比し、試料Cの環状フッ素化合物・シロキサン共重合体/ポリアリールエーテルの組み合わせは、その比誘電率が大きく低下することが分かる。

【0120】なお、配線層17とシリコン基板11との間の層間容量がそれほど問題にならない場合には、上述した有機低誘電率材料の代わりに第1の実施の形態と同様の $\text{SiO}_2$ 系の下地絶縁膜12を用いても良い。また、下地絶縁膜12の部分を、有機低誘電率材料と $\text{SiO}_2$ 系の絶縁膜の積層構造にしても良い。

【0121】〔第4の実施の形態〕次に、図6及び図7を参照して、本発明の第4の実施の形態を説明する。この第4の実施の形態において、上述した第1～第3の実施の形態に対応する部位には、上述した第1～第3の実施の形態と同一の符号を付す。

【0122】図6(a)に示すように、この第4の実施の形態では、既述した第1又は第3の実施の形態の図1(c)までの工程を行った後、有機低誘電率膜15上及び配線層17上に形成する絶縁膜18として、下層21、エッチングストッパー層22及び上層23の3層構造の膜を形成する。

【0123】この時、下層21及び上層23には、夫々、既述した〔化5〕～〔化13〕の有機低誘電率材料や $\text{SiO}_2$ 系の絶縁膜を用いることができる。一方、エッチングストッパー層22には、例えば、既述した〔化1〕～〔化4〕の有機低誘電率材料を用いることができる。

【0124】次に、図6(b)に示すように、絶縁膜18の上層23上にレジスト膜24を形成し、フォトリソグラフィによりこのレジスト膜24をパターンニングし

\* 縁膜12と、例えば、ポリアリールエーテルからなる有機低誘電率膜13を用いている。従って、この層間絶縁膜に $\text{SiO}_2$ 系の絶縁膜を用いた場合に比し、この層間絶縁膜の比誘電率が低くなって、層間容量が小さくなる。この結果、この層間絶縁膜の膜厚を小さくすることが可能となり、多層配線化に有利になる。

【0118】例えば、図11に示すように、シリコン基板100上に、第1層101として膜厚約 $800\text{ nm}$ の $\text{SiO}_2$ 膜を形成し、第2層102として膜厚約 $100\text{ nm}$ の窒化シリコン膜を形成した試料A、第1層101として膜厚約 $800\text{ nm}$ の環状フッ素化合物・シロキサン共重合体を形成し、第2層102として膜厚約 $100\text{ nm}$ の窒化シリコン膜を形成した試料B、及び、第1層101として膜厚約 $800\text{ nm}$ の環状フッ素化合物・シロキサン共重合体を形成し、第2層102として膜厚約 $100\text{ nm}$ のポリアリールエーテルを形成した試料Cの夫々の積層膜の比誘電率を測定した結果を下記に示す。

#### 試料B

約3.3

#### 試料C

約2.5

て、配線層17に対する接続孔(ビアホール)を形成する領域上のレジスト膜24の部分に開口を形成する。しかる後、このレジスト膜24をエッチングマスクとして用いて、絶縁膜18の上層23、エッチングストッパー層22及び下層21を順次エッチングし、図示の如く、絶縁膜18に配線層17に達する接続孔19を形成する。この時、接続孔19の形成位置が多少ずれた場合でも、有機低誘電率膜15が、絶縁膜18の下層21のエッチング時のエッチングストッパーとして機能するので、配線層17間の絶縁膜14が不測にエッチングされることが防止される。

【0125】次に、図7(a)に示すように、レジスト膜24をアッシング等により除去した後、絶縁膜18の上層23上に別のレジスト膜25を形成する。そして、フォトリソグラフィによりこのレジスト膜25をパターンニングして、接続孔19の部分を含む上層配線パターンの開口をこのレジスト膜25に形成する。しかる後、このレジスト膜25をエッチングマスクとして用いて、絶縁膜18の上層23をエッチングし、絶縁膜18の上層23に上層配線パターンの溝26を形成する。

【0126】この時、異方性の強いエッチングを行えば、エッチングストッパー層22の存在により絶縁膜18の下層21がエッチングされることは殆ど無い。従って、図示の如く、接続孔19に連続した溝26が良好な形状で形成される。

【0127】次に、図7(b)に示すように、接続孔19及び溝26内を埋め込むように、例えば、 $\text{Al-Cu}$ 合金等の $\text{Al}$ 系合金又は $\text{Cu}$ 、 $\text{Ag}$ 、 $\text{Au}$ 等を主成分とする上層配線材料を全面に形成し、例えば、CMP法により、接続孔19及び溝26内以外の部分の上層配線材料を除去する。これにより、接続孔19及び溝26内に



埋め込まれた上層の配線層 27 が形成される。なお、上層配線材料を除去する方法は、エッチバック法でも良い。

【0128】この第4の実施の形態によれば、接続孔と溝を配線材料で同時に埋め込むいわゆるデュアルダマシン法により、上層の配線層 27 を簡便に形成することができる。

【0129】〔第5の実施の形態〕次に、図8及び図9を参照して、本発明の第5の実施の形態を説明する。この第5の実施の形態において、上述した第1～第4の実施の形態に対応する部位には、上述した第1～第4の実施の形態と同一の符号を付す。

【0130】図8(a)に示すように、この第5の実施の形態では、既述した第1又は第3の実施の形態の図1(c)までの工程を行った後、有機低誘電率膜 15 上及び配線層 17 上に形成する絶縁膜 18 として、下層 21 及び上層 23 の2層構造の膜を形成する。

【0131】この時、下層 21 は、この下層 21 のエッチング時に有機低誘電率膜 15 をエッチングストッパーとして用い得る材料で構成する。また、上層 23 は、この上層 23 のエッチング時に下層 21 をエッチングストッパーとして用い得る材料で構成する。例えば、既述したエッチング条件(3)でエッチングを行う場合、下層 21 を、既述した〔化11〕の材料で構成し、上層 23 を、既述した〔化6〕の材料で構成すれば、それらの間で比較的大きなエッチング選択比をとることができる。また、下層 21 及び上層 23 の一方を〔化5〕～〔化13〕の有機低誘電率材料で、他方を  $\text{SiO}_2$  系の絶縁膜で構成することもできる。

【0132】次に、図8(b)に示すように、絶縁膜 18 の上層 23 上にレジスト膜 24 を形成し、フォトリソグラフィによりこのレジスト膜 24 をパターンニングして、配線層 17 に対する接続孔(ビアホール)を形成する領域上のレジスト膜 24 の部分に開口を形成する。しかる後、このレジスト膜 24 をエッチングマスクとして用いて、絶縁膜 18 の上層 23 及び下層 21 を順次エッチングし、図示の如く、絶縁膜 18 に配線層 17 に達する接続孔 19 を形成する。この時、接続孔 19 の形成位置が多少ずれた場合でも、有機低誘電率膜 15 が、絶縁膜 18 の下層 21 のエッチング時のエッチングストッパーとして機能するので、配線層 17 間の絶縁膜 14 が不測にエッチングされることが防止される。

【0133】次に、図9(a)に示すように、レジスト膜 24 をアッシング等により除去した後、絶縁膜 18 の上層 23 上に別のレジスト膜 25 を形成する。そして、フォトリソグラフィによりこのレジスト膜 25 をパターンニングして、接続孔 19 の部分を含む上層配線パターン

いて、絶縁膜 18 の上層 23 をエッチングし、絶縁膜 18 の上層 23 上に上層配線パターンの溝 26 を形成する。

【0134】次に、図9(b)に示すように、接続孔 19 及び溝 26 内を埋め込むように、例えば、 $\text{Al-Cu}$  合金等の  $\text{Al}$  系合金又は  $\text{Cu}$ 、 $\text{Ag}$ 、 $\text{Au}$  等を主成分とする上層配線材料を全面に形成し、例えば、CMP 法により、接続孔 19 及び溝 26 内以外の部分の上層配線材料を除去する。これにより、接続孔 19 及び溝 26 内に埋め込まれた上層の配線層 27 が形成される。なお、上層配線材料を除去する方法は、エッチバック法でも良い。

【0135】この第5の実施の形態によっても、上述した第4の実施の形態と同様、いわゆるデュアルダマシン法により、上層の配線層 27 を簡便に形成することができる。しかも、この第5の実施の形態では、上述した第4の実施の形態と比較して絶縁膜 18 の積層数が少なくて済むので、その製造プロセスが簡略化される。

【0136】〔第6の実施の形態〕次に、図10を参照して、本発明の第6の実施の形態を説明する。この第6の実施の形態において、上述した第1の実施の形態に対応する部位には、上述した第1の実施の形態と同一の符号を付す。

【0137】図10(a)に示すように、この第6の実施の形態では、シリコン基板 11 上に形成する下地絶縁膜 12 を、膜厚 100 nm 程度の  $\text{SiO}_2$  膜 28、例えば、〔化5〕～〔化13〕の材料からなる膜厚 800 nm 程度の有機低誘電率膜 29 及び膜厚 100 nm 程度の  $\text{SiO}_2$  膜 30 の3層構造とし、絶縁膜 18 も、同様に、膜厚 100 nm 程度の  $\text{SiO}_2$  膜 31、例えば、〔化5〕～〔化13〕の材料からなる膜厚 800 nm 程度の有機低誘電率膜 32 及び膜厚 100 nm 程度の  $\text{SiO}_2$  膜 33 の3層構造としている。

【0138】このように、シリコン基板 11 と有機低誘電率膜 29 の間、有機低誘電率膜 29 と 13 の間、有機低誘電率膜 13 と 32 の間、及び、有機低誘電率膜 32 と 15 の間に夫々  $\text{SiO}_2$  膜 28、30、31 及び 33 を介在させることにより、各有機低誘電率膜 29、13、32、15 の膜剥がれを防止する。なお、これらの  $\text{SiO}_2$  膜 28、30、31、33 は、層間絶縁膜の比誘電率を高くするので、できるだけ薄く、例えば、100 nm 以下の膜厚に形成するのが好ましい。

【0139】次に、図10(b)に示すように、フォトリソグラフィ及びエッチングにより、有機低誘電率膜 5、 $\text{SiO}_2$  膜 33、有機低誘電率膜 32 及び  $\text{SiO}_2$  膜 31 に、配線パターンの溝 16 を形成する。この時、 $\text{SiO}_2$  膜 31 のエッチング時に有機低誘電率膜 13 がエッチングストッパーとして機能するので、この溝 16 形成のためのエッチングを簡便に制御することができる。

【0140】次に、図10(c)に示すように、上述し

た第1又は第3の実施の形態と同様、接続孔19内を、例えば、ポリシリコンやタングステン(W)等の導電材料からなるプラグ20により埋め込む。即ち、接続孔19内を埋め込むように絶縁膜18上の全面に、例えば、CVD法やスパッタ法により、プラグ20を構成する導電材料を成膜した後、例えば、エッチバック法やCMP法により、接続孔19内以外の部分の導電材料を除去する。

【0141】この後、図示は省略するが、絶縁膜18上に、プラグ20に接続するパターンで上層配線層を形成する。なお、例えば、Al-Cu合金等のAl系合金又はCu、Ag、Au等を主成分とする上層配線材料を直接接続孔19内に埋め込むようにして、上層配線層を形成しても良い。

【0142】この第6の実施の形態でも、特に、近接配置される配線層17間の絶縁膜の主要部分に、SiO<sub>2</sub>よりも比誘電率の低い有機低誘電率膜32を用いているので、配線間容量が低減され、この結果、配線間隔を縮小化することができて、高集積化が達成される。

【0143】また、配線層17とシリコン基板11との間の層間絶縁膜の主要部分にも、SiO<sub>2</sub>よりも比誘電率の低い有機低誘電率膜29を用いているので、この層間絶縁膜を主としてSiO<sub>2</sub>系の絶縁膜により構成した場合に比し、この層間絶縁膜の比誘電率が低くなって、層間容量が小さくなる。この結果、この層間絶縁膜の膜厚を小さくすることが可能となり、多層配線化に有利になる。

【0144】なお、以上に説明した各実施の形態では、上層と下層の2層の積層配線構造を説明したが、配線の積層数は3層以上であっても良い。また、その場合、上述した各実施の形態における下層配線17は、基板11から数えて1層目の配線、2層目の配線、3層目の配線、…、のいずれであっても良い。

#### 【0145】

【発明の効果】本発明においては、例えば、埋め込み配線用の溝形成時のエッチングを簡便に制御するために用いるエッチングストッパー層に、従来の窒化シリコンよりも比誘電率が低い有機低誘電率材料を用いているので、層間絶縁膜全体の比誘電率を低くすることができて、層間容量や配線間容量を低減することができる。この結果、消費電力の増大や素子の動作速度の低下等を防止することができて、性能の良い半導体装置を提供することができる。

【0146】また、エッチングされる絶縁層とエッチングストッパーとして用いる絶縁層の両方に、酸化シリコンよりも比誘電率が低い有機低誘電率材料を用いること\*

\*により、例えば、層間絶縁膜の比誘電率を、酸化シリコン系の層間絶縁膜に比して低くすることができ、層間容量や配線間容量をより小さくすることができる。この結果、例えば、層間膜の薄膜化が達成できて、多層配線化に有利になり、また、例えば、層間膜に埋め込み形成される配線間の距離をより縮小化できるようになって、半導体装置の高集積化に有利になる。

【0147】更に、下層配線間の絶縁膜上に、その上の層間絶縁膜のエッチング時にエッチングストッパーとして機能する有機低誘電率膜を設けることにより、下層配線に対する接続孔の形成位置が多少ずれた場合でも、その接続孔形成時のエッチングで下層配線間の絶縁膜が不測にエッチングされることが防止され、下層配線の配線間容量の増大や下層配線間の短絡が防止される。この結果、信頼性の高い半導体装置を提供することができる。

#### 【図面の簡単な説明】

【図1】本発明の第1及び第3の実施の形態による半導体装置の製造方法を工程順に示す断面図である。

【図2】本発明の第1及び第3の実施の形態による半導体装置の製造方法を工程順に示す断面図である。

【図3】本発明の第2の実施の形態による半導体装置の製造方法を工程順に示す断面図である。

【図4】本発明の第2の実施の形態による半導体装置の製造方法を工程順に示す断面図である。

【図5】本発明の第2の実施の形態による半導体装置の製造方法を工程順に示す断面図である。

【図6】本発明の第4の実施の形態による半導体装置の製造方法を工程順に示す断面図である。

【図7】本発明の第4の実施の形態による半導体装置の製造方法を工程順に示す断面図である。

【図8】本発明の第5の実施の形態による半導体装置の製造方法を工程順に示す断面図である。

【図9】本発明の第5の実施の形態による半導体装置の製造方法を工程順に示す断面図である。

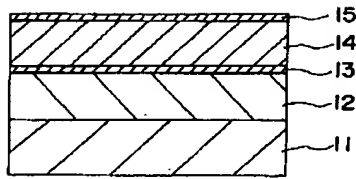
【図10】本発明の第6の実施の形態による半導体装置の製造方法を工程順に示す断面図である。

【図11】比誘電率の測定実験に用いた積層構造膜を示す断面図である。

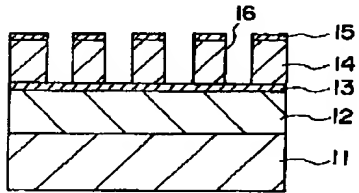
#### 【符号の説明】

11…シリコン基板、12…下地絶縁膜、13、15…有機低誘電率膜、14、18…絶縁膜、16、26…溝、17、27…配線層、19…接続孔(ビアホール)、20…プラグ、21…下層、22…エッチングストッパー層、23…上層、24、25…レジスト膜、28、30、31、33…SiO<sub>2</sub>膜、29、32…有機低誘電率膜

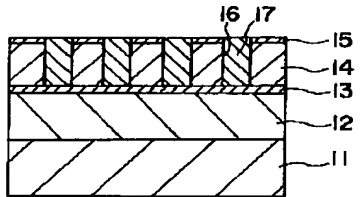
【図1】



(a)

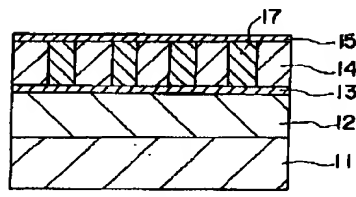


(b)

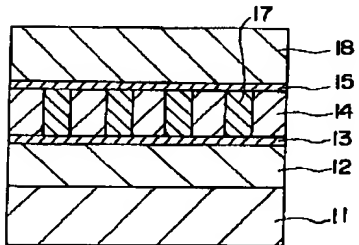


(c)

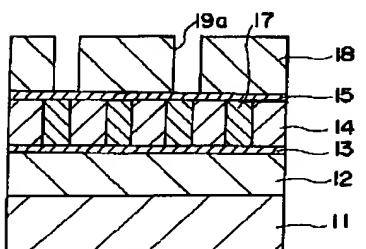
【図4】



(a)

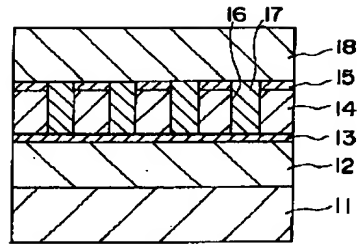


(b)

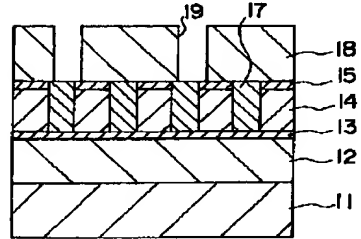


(c)

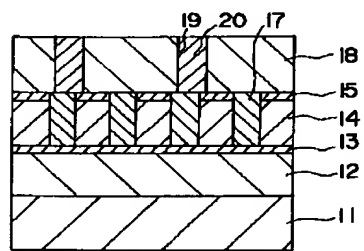
【図2】



(a)

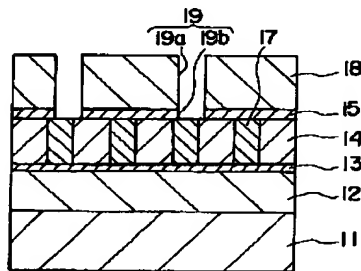


(b)

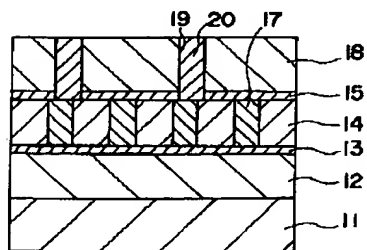


(c)

【図5】

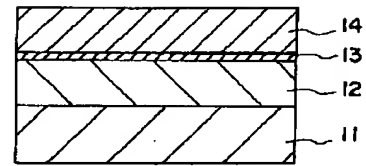


(a)

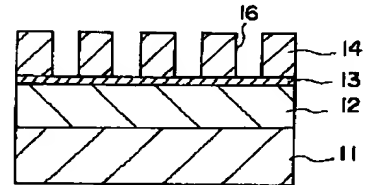


(b)

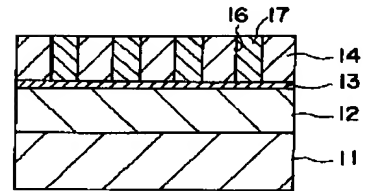
【図3】



(a)

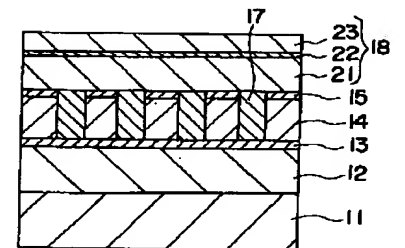


(b)

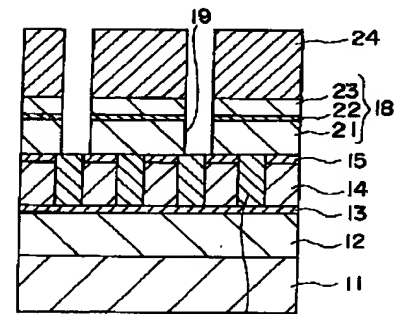


(c)

【図6】

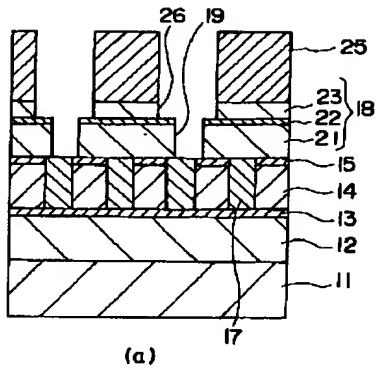


(a)

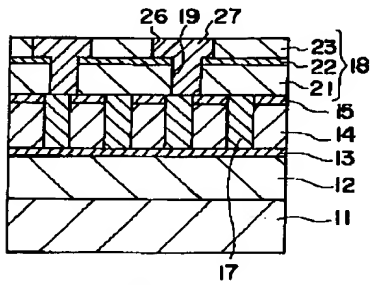


(b)

【図7】

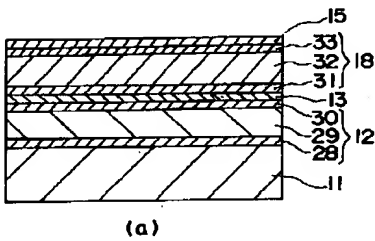


(a)

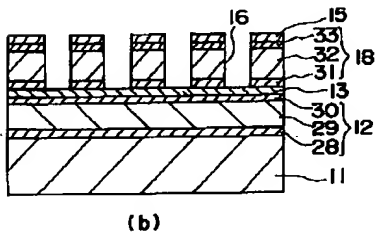


(b)

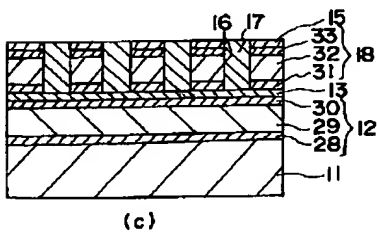
【図10】



(a)

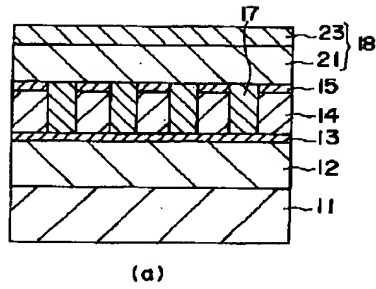


(b)

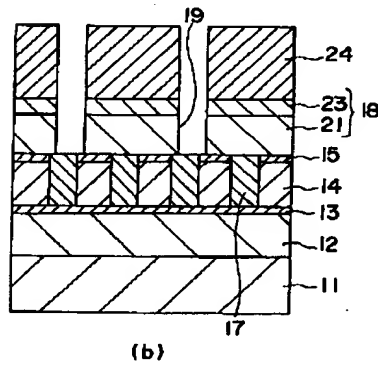


(c)

【図8】

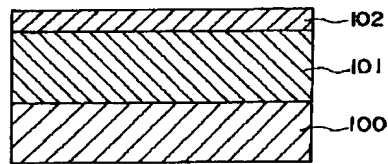


(a)

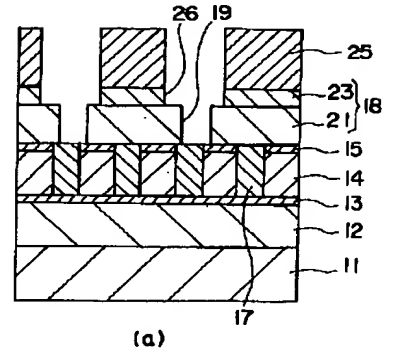


(b)

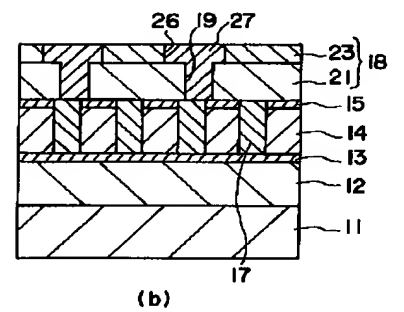
【図11】



【図9】



(a)



(b)